

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-297918  
 (43)Date of publication of application : 17.10.2003

(51)Int.CI. H01L 21/768

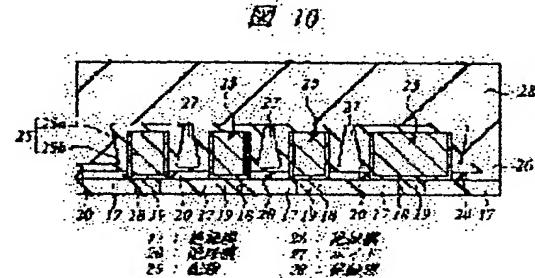
(21)Application number : 2002-094351 (71)Applicant : HITACHI LTD  
 (22)Date of filing : 29.03.2002 (72)Inventor : NOGUCHI JUNJI  
 FUJIWARA TAKESHI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve a resistance to dielectric breakdown and reduces capacitance between copper wires in a semiconductor device.

**SOLUTION:** The wirings 25, comprising copper as the principal constituent of the same, are formed on insulation films 20 (17) on a base plate. Then, another insulation film 26, having a function to restrain or prevent the diffusion of copper, is formed on the upper surface as well as the side surfaces of the wirings 25 and the insulation films 20 (17). In this case, the insulation film 26 is formed between the neighbored wirings of the wirings 25 so that the piling speed on the opposed side surfaces of the wirings becomes higher than that in the lower part of the same. Then, another insulation film 28, consisting of a material having a low dielectric constant, is formed on the insulation film 26. In this case, spaces between the neighbored wirings in the wirings 25 are not filled by the material of the insulation film 28 whereby voids 27, surrounded by the insulation film 26 and the insulation film 28, are formed between the neighbored wirings.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2003-297918  
(P2003-297918A)

(43)公開日 平成15年10月17日 (2003.10.17)

(51) Int.Cl.<sup>7</sup>  
H 01 L 21/768

識別記号

F I  
H 01 L 21/90

テマコード(参考)  
N 5 F 0 3 3

審査請求 未請求 請求項の数23 O.L. (全 22 頁)

(21)出願番号 特願2002-94351(P2002-94351)

(22)出願日 平成14年3月29日 (2002.3.29)

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72)発明者 野口 純司  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内  
(72)発明者 藤原 剛  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内  
(74)代理人 100080001  
弁理士 筒井 大和

最終頁に続く

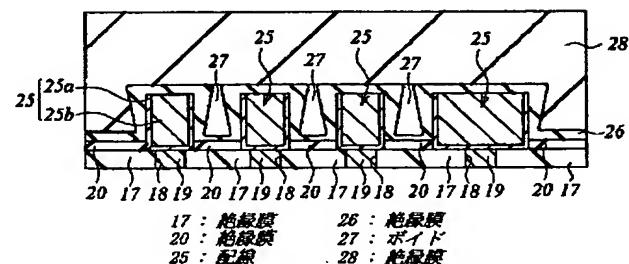
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 半導体装置の銅配線間の絶縁破壊耐性を向上し、かつ銅配線間の容量を低減する。

【解決手段】 基板上の絶縁膜20(17)上に、銅を主成分として含む配線25を形成する。それから、配線25の上面および側面上と絶縁膜20(17)上とに銅の拡散を抑制または防止する機能を有する絶縁膜26を形成する。その際、配線25の隣接配線間において、対向する配線側面の上方での堆積速度が下方での堆積速度より大きくなるように絶縁膜26を形成する。それから、低誘電率材料からなる絶縁膜28を絶縁膜26上に形成する。その際、配線25の隣接配線間が絶縁膜28の材料で満たされないことによって、隣接配線間に絶縁膜26と絶縁膜28とで囲まれたボイド27が形成される。

図 10



## 【特許請求の範囲】

【請求項 1】 半導体基板、  
前記半導体基板上に形成された第1の絶縁膜、  
前記第1の絶縁膜上に形成され、銅を主成分として含む配線、  
前記配線の上面および側面上と前記第1の絶縁膜上とに形成され、銅の拡散を抑制または防止する機能を有する第2の絶縁膜、および、  
前記第2の絶縁膜上に形成され、前記第2の絶縁膜の誘電率より低い誘電率を有する第3の絶縁膜、  
を具備することを特徴とする半導体装置。

【請求項 2】 請求項1記載の半導体装置において、  
前記配線の隣接配線間にボイドが形成されていることを特徴とする半導体装置。

【請求項 3】 請求項2記載の半導体装置において、  
前記ボイドは前記配線の最近接配線間に形成されていることを特徴とする半導体装置。

【請求項 4】 請求項1記載の半導体装置において、  
前記配線の隣接配線間に、前記第2の絶縁膜と前記第3の絶縁膜とで囲まれたボイドが形成されていることを特徴とする半導体装置。

【請求項 5】 請求項1記載の半導体装置において、  
前記配線の隣接配線間に埋める前記第2の絶縁膜中にボイドが形成されていることを特徴とする半導体装置。

【請求項 6】 請求項2記載の半導体装置において、  
前記配線は、その上にスルーホールを形成すべき領域で、配線幅広部を有することを特徴とする半導体装置。

【請求項 7】 半導体基板、  
前記半導体基板上に形成された第1の絶縁膜、  
前記第1の絶縁膜上に形成され、銅を主成分として含む第1の導体膜と、前記第1の導体膜の側面および底面上に形成され、銅の拡散を抑制または防止する機能を有する第2の導体膜と、前記第1の導体膜の上面に形成され、銅の拡散を抑制または防止する機能を有する第3の導体膜とを有する配線、および、  
前記配線を覆うように、前記第1の絶縁膜上に形成された第2の絶縁膜、  
を具備することを特徴とする半導体装置。

【請求項 8】 請求項7記載の半導体装置において、  
前記配線の隣接配線間にボイドが形成されていることを特徴とする半導体装置。

【請求項 9】 半導体基板上に形成された複数の配線層を有する半導体装置であって、前記複数の配線層のうちの少なくとも1つの配線層は、  
第1の絶縁膜上に形成され、銅を主成分として含む第1の配線、  
前記第1の配線の上面および側面上と前記第1の絶縁膜上とに形成され、銅の拡散を抑制または防止する機能を有する第2の絶縁膜、および、  
前記第2の絶縁膜上に形成され、前記第2の絶縁膜の誘

電率より低い誘電率を有する第3の絶縁膜、  
を有し、前記第1の配線の隣接配線間にボイドが形成されていることを特徴とする半導体装置。

【請求項 10】 請求項9記載の半導体装置において、  
前記複数の配線層のうちの他の少なくとも1つの配線層は、

開口部を有する第4の絶縁膜、  
前記開口部を埋め込むように形成され、銅を主成分として含む第2の配線、  
前記第4の絶縁膜および前記配線上に形成され、銅の拡散を抑制または防止する機能を有する第5の絶縁膜、および、  
前記第5の絶縁膜上に形成され、前記第5の絶縁膜の誘電率より低い誘電率を有する第6の絶縁膜、  
を有することを特徴とする半導体装置。

【請求項 11】 半導体基板、  
前記半導体基板上に形成された第1の絶縁膜、  
前記第1の絶縁膜上に形成され、銅を主成分として含む配線、  
前記第1の絶縁膜上に、前記配線に隣接して設けられた導体部分、  
前記配線の上面および側面上と、前記導体部分の上面および側面上と、前記第1の絶縁膜上とに形成され、銅の拡散を抑制または防止する機能を有する2の絶縁膜、および、  
前記第2の絶縁膜上に形成され、前記第2の絶縁膜の誘電率より低い誘電率を有する第3の絶縁膜、  
を具備し、  
前記配線と前記導体部分との間にボイドが形成されていることを特徴とする半導体装置。

【請求項 12】 請求項11記載の半導体装置において、  
前記導体部分が、前記配線と同時に形成され、かつ半導体装置の配線としては機能しない導体パターンであることを特徴とする半導体装置。

【請求項 13】 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) 半導体基板を準備する工程、(b) 前記半導体基板上に第1の絶縁膜を形成する工程、(c) 前記第1の絶縁膜上に銅を主成分として含む配線を形成する工程、  
(d) 銅の拡散を抑制または防止する機能を有する第2の絶縁膜を、その材料で前記配線の隣接配線間が満たされないように、前記配線の上面および側面上と前記第1の絶縁膜上とに形成する工程、および、(e) 前記第2の絶縁膜の誘電率より低い誘電率を有する第3の絶縁膜を、前記第2の絶縁膜上に形成する工程。

【請求項 14】 請求項13記載の半導体装置の製造方法において、  
前記(e)工程では、前記配線の隣接配線間に前記第2の絶縁膜と前記第3の絶縁膜とで囲まれたボイドが形成

されることを特徴とする半導体装置の製造方法。

【請求項15】 請求項13記載の半導体装置の製造方法において、

前記(e)工程では、前記配線の最近接配線間に前記第2の絶縁膜と前記第3の絶縁膜とで囲まれたボイドが形成されることを特徴とする半導体装置の製造方法。

【請求項16】 請求項13記載の半導体装置の製造方法において、

前記(d)工程では、前記配線の隣接配線間を埋める前記第2の絶縁膜中にボイドが形成されることを特徴とする半導体装置の製造方法。

【請求項17】 請求項14記載の半導体装置の製造方法において、

前記(d)工程では、前記配線の隣接配線間において、対向する配線側面の上方での前記第2の絶縁膜の堆積速度が下方での堆積速度より大きくなるように前記第2の絶縁膜が形成されることを特徴とする半導体装置の製造方法。

【請求項18】 請求項13記載の半導体装置の製造方法において、

前記(e)工程では、前記第2の絶縁膜で覆われた前記配線の隣接配線間が前記第3の絶縁膜で満たされないことによって、前記隣接配線間に前記第2の絶縁膜と前記第3の絶縁膜とで囲まれたボイドが形成されることを特徴とする半導体装置の製造方法。

【請求項19】 請求項13記載の半導体装置の製造方法において、

前記(c)工程は、

前記第1の絶縁膜上に第4の絶縁膜を形成する工程、

前記第4絶縁膜に開口部を形成する工程、

前記第4絶縁膜の前記開口部内に、銅を主成分として含む配線を形成する工程、および、

前記第4の絶縁膜を除去する工程、

を有することを特徴とする半導体装置の製造方法。

【請求項20】 請求項19記載の半導体装置の製造方法において、

前記第4の絶縁膜は、還元性プラズマ処理によりエッチングされ得る材料を含み、

前記第4の絶縁膜を除去する工程では、還元性プラズマ処理により前記第4の絶縁膜が除去されることを特徴とする半導体装置の製造方法。

【請求項21】 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) 半導体基板を準備する工程、(b) 前記半導体基板上に第1の絶縁膜を形成する工程、(c) 前記第1の絶縁膜上に第2の絶縁膜を形成する工程、(d) 前記第2の絶縁膜に開口部を形成する工程、(e) 前記開口部の底部および側壁上を含む前記第2の絶縁膜上に、銅の拡散を抑制または防止する機能を有する第1の導体膜を形成する工程、(f) 前記開口部を埋めるように、前記

第1の導体膜上に銅を主成分として含む第2の導体膜を形成する工程、(g) 前記開口部内の前記第1および第2の導体膜が残され、それ以外の前記第1および第2の導体膜が除去されるように、前記第1および第2の導体膜を研磨する工程、(h) 前記開口部内に残された前記第1および第2の導体膜上に、銅の拡散を抑制または防止する機能を有する第3の導体膜を選択的に形成する工程、(i) 前記第2の絶縁膜を除去する工程、および

(j) 前記第1、第2および第3の導体膜からなる配線を覆うように、第3の絶縁膜を前記第1の絶縁膜上に形成する工程。

【請求項22】 請求項21記載の半導体装置の製造方法において、

前記(j)工程では、前記配線の隣接配線間を埋める前記第3の絶縁膜中にボイドが形成されることを特徴とする半導体装置の製造方法。

【請求項23】 請求項21記載の半導体装置の製造方法において、

前記(j)工程では、

前記第3の絶縁膜の材料で前記配線の隣接配線間が満たされないように、前記配線の上面および側面上と前記第1の絶縁膜上とに前記第3の絶縁膜が形成され、

前記(j)工程の後に、更に、

前記配線の隣接配線間に前記第3の絶縁膜と第4の絶縁膜とで囲まれたボイドが形成されるように、前記第3の絶縁膜上に第4の絶縁膜を形成する工程、

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造技術に関し、特に、銅を主成分とする主導体膜を含む配線を有する半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】 埋込配線構造は、絶縁膜に形成された配線溝や孔などのような配線開口部内に、ダマシン(Damascene)技術(シングルダマシン(Single-Damascene)技術およびデュアルダマシン(Dual-Damascene)技術)と称する配線形成技術によって、配線材料を埋め込むことで形成される。しかし、主配線材料が銅(Cu)の場合、銅がアルミニウム(Al)などのような金属と比較して絶縁膜中に拡散されやすいことから、その銅からなる埋込配線が絶縁膜と直接接しないように、埋込配線の表面(底面および側面)を薄いバリア金属膜で覆うことにより、埋込配線中の銅が絶縁膜中に拡散するのを抑制または防止するようにしている。また、配線開口部が形成された絶縁膜の上面に、例えば窒化シリコン膜などからなる配線キャップ用バリア絶縁膜を形成して埋込配線の上面を覆うことにより、埋込配線中の銅が埋込配線の上面から絶縁膜中に拡散するのを抑制または防止する

ようとしている。

【0003】近年、このような埋込配線の間隔は、半導体装置の高集積化に伴い、減少してきている。これにより、配線間の寄生容量が増大して信号遅延が生じ、隣接配線との間にクロストークが発生する。このため、配線間の寄生容量を低減することが望まれる。配線間の寄生容量を低減するために、配線間絶縁膜として低誘電率材料が使用される。また、例えば特開2001-85519号公報には、配線を逆テーパ形状に形成し、この配線間の空間にエアギャップが形成されるように層間絶縁膜を形成する技術が開示されている。このエアギャップにより、配線間容量の低減を図っている。

#### 【0004】

【発明が解決しようとする課題】ところが、本発明者の検討結果によれば、上記銅を主導体層とする埋込み配線技術においては、以下の課題があることを見い出した。

【0005】銅を配線材料に用いた場合、TDDB (Time Dependence on Dielectric Breakdown) 寿命が、他の金属材料（例えばアルミニウムやタンクスチール）に比べて著しく短いという問題がある。その上、配線ピッチの微細化が進み、実効電界強度が増加する傾向にあることに加え、近年は配線容量を低減する観点などから酸化シリコンよりも誘電率の低い絶縁材料を配線間の絶縁膜として使用する方向にあるが、誘電率の低い絶縁膜は一般的に絶縁耐圧も低いことから、TDDB 寿命の確保が益々困難になる状況にある。

【0006】TDDB 寿命の劣化は、一般に配線材料に適用された銅が周辺に拡散し、これが配線間の絶縁破壊耐圧を低下させると考えられている。上記特開2001-85519号公報では、バリア金属膜およびバリア絶縁膜については全く考慮されていない。このため、層間絶縁膜のエアギャップにより配線間容量は低減しても、配線材料として使用されている銅が層間絶縁膜中に拡散し、TDDB 寿命が低減してしまう。また、配線に逆テーパを持たせることによりエアギャップを形成しているため、配線の上端部に電界が集中し、TDDB 寿命が更に低減してしまう。

【0007】本発明の目的は、銅を主導体層とする配線間の絶縁破壊耐性を向上させることができる半導体装置およびその製造方法を提供することにある。

【0008】本発明の他の目的は、銅を主導体層とする配線間の容量を低減できる半導体装置およびその製造方法を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】本発明の半導体装置は、半導体基板、半導体基板上に形成された第1の絶縁膜、第1の絶縁膜上に形成され銅を主成分として含む配線、配線の上面および側面上と第1の絶縁膜上とに形成され銅の拡散を抑制または防止する機能を有する第2の絶縁膜、および第2の絶縁膜上に形成され第2の絶縁膜の誘電率より低い誘電率を有する第3の絶縁膜を具備するものである。

【0012】本発明の半導体装置の製造方法は、半導体基板を準備する工程、半導体基板上に第1の絶縁膜を形成する工程、第1の絶縁膜上に銅を主成分として含む配線を形成する工程、銅の拡散を抑制または防止する機能を有する第2の絶縁膜をその材料で配線間が満たされないように配線の上面および側面上と第1の絶縁膜上とに形成する工程、第2の絶縁膜の誘電率より低い誘電率を有する第3の絶縁膜を第2の絶縁膜上に形成する工程を有するものである。

#### 【0013】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0014】（実施の形態1）まず、本発明者らによって検討された上記銅を主導体層とした埋込み配線間におけるTDDB 寿命の劣化原因について説明する。なお、TDDB (Time Dependence on Dielectric Breakdown) 寿命とは、絶縁破壊の時間的依存性を客観的に計る尺度であって、所定の温度（例えば140°C）の測定条件下で電極間に比較的高い電圧を加え、電圧印加から絶縁破壊までの時間を印加電界に対してプロットしたグラフを作成し、このグラフから実際の使用電界強度（例えば0.2 MV/cm）に外挿して求めた時間（寿命）をいう。

【0015】TDDB 寿命の劣化は、一般に配線材料に適用された銅が周辺に拡散し、これが配線間の絶縁破壊耐圧を低下させると考えられている。しかし、本発明者らによる検討結果によれば銅の拡散現象は、次のような要因が支配的である。すなわち、第1は、隣接配線間の絶縁膜中を拡散する銅は、原子状の銅よりも、酸化銅

(CuO) あるいは銅シリサイドから供給されるイオン化銅が配線間の電位でドリフトし拡散する要因が支配的である。第2は、銅の拡散経路は銅配線が形成された絶縁膜と配線キャップ膜との界面が支配的である。そして、これらのことから、TDDB 寿命の劣化が、次のようなメカニズムによるものであることが分かった。

【0016】すなわち、銅を主導体膜とする埋込み配線の表面には、CMP後の表面プロセスにより酸化銅 (CuO) が形成されたり、また、キャップ膜（窒化シリコン膜）の形成の際に銅シリサイド (Cu化合物) が形成

されたりする。このような酸化銅あるいは銅シリサイドは、純粋な銅と比較してイオン化され易い。このようにしてイオン化された銅は配線間の電界によりドリフトされ、配線間の絶縁膜に拡散される。一方、上記埋込み配線を形成する絶縁膜（酸化シリコン膜）とキャップ膜

（窒化シリコン膜）との界面は、CMPダメージ、有機物またはダングリングボンドが多く形成され、不連続であり、密着性にも乏しい。このようなダングリングボンドの存在は、上記銅イオンの拡散を助長する作用を有し、銅イオンは界面に沿ってドリフトされ拡散する。すなわち、配線間の前記界面にリークパスが形成される。リークパスを流れるリーク電流は、長時間のリーク作用と電流による熱ストレスも加わり、その後、加速度的に電流値が増加して絶縁破壊に至る（TDDDB寿命の低下）。なお、このようなTDDDB寿命の劣化原因については、本願発明者による特願平11-226876号、特願2000-104015号または特願2000-300853号に開示がある。

【0017】そこで、本実施の形態においては、上記リークパスとして作用する界面であるCMP面（CMPで研磨された面）を同層配線間からなくして、TDDDB特性を改善させることを検討した。更に、配線間の寄生容量を低減させることも検討した。

【0018】本実施の形態の半導体装置およびその製造工程を図面を参照して説明する。図1は、本発明の一実施の形態である半導体装置、例えばCMISFET（Complementary Metal Insulator Semiconductor Field Effect Transistor）、の製造工程中の要部平面図であり、図2は図1のA-A断面図である。

【0019】図1および図2に示すように、例えば1~10Ωcm程度の比抵抗を有するp型の単結晶シリコンなどからなるウエハまたは半導体基板1は、その主面に素子分離領域2が形成されている。素子分離領域2は酸化シリコンなどからなり、例えばSTI（Shallow Trench Isolation）法またはLOCOS（Local Oxidation of Silicon）法などにより形成される。

【0020】半導体基板1には、その主面から所定の深さに渡ってp型ウエル3およびn型ウエル4が形成されている。p型ウエル3は、例えばホウ素などの不純物をイオン注入することなどによって形成され、n型ウエル4は、例えばリンなどの不純物をイオン注入することなどによって形成される。

【0021】p型ウエル3の領域では、素子分離領域2で囲まれた活性領域に、nチャネル型のMISFET5が形成されている。また、n型ウエル4の領域では、素子分離領域2で囲まれた活性領域に、pチャネル型のMISFET6が形成されている。n型MISFET5およびp型MISFET6のゲート絶縁膜7は、例えば薄い酸化シリコン膜などからなり、例えば熱酸化法などによって形成される。

【0022】n型MISFET5およびp型MISFET6のゲート電極8は、例えば、低抵抗の多結晶シリコン膜上にチタンシリサイド（TiSi<sub>x</sub>）層またはコバルトシリサイド（CoSi<sub>x</sub>）層を積層することにより形成されている。ゲート電極8の側壁上には、例えば酸化シリコンなどからなる側壁スペーサまたはサイドウォール9が形成されている。

【0023】n型MISFET5のソースおよびドレイン領域は、n型の半導体領域10aと、それより不純物濃度が高いn<sup>+</sup>型の半導体領域10bとを有するLDD（Lightly Doped Drain）構造を備えている。n型の半導体領域10aは、例えば、サイドウォール9の形成前に、p型ウエル3のゲート電極8の両側の領域にリンなどの不純物をイオン注入することにより形成される。n<sup>+</sup>型の半導体領域10bは、例えば、サイドウォール9の形成後に、p型ウエル3のゲート電極8およびサイドウォール9の両側の領域にリンなどの不純物をイオン注入することにより形成される。

【0024】p型MISFET6のソースおよびドレイン領域は、p型の半導体領域11aと、それより不純物濃度が高いp<sup>+</sup>型の半導体領域11bとを有するLDD構造を備えている。p<sup>+</sup>型の半導体領域11aは、例えば、サイドウォール9の形成前に、n型ウエル4のゲート電極8の両側の領域にホウ素などの不純物をイオン注入することにより形成される。p<sup>+</sup>型の半導体領域11bは、例えば、サイドウォール9の形成後に、n型ウエル4のゲート電極8およびサイドウォール9の両側の領域にホウ素などの不純物をイオン注入することにより形成される。また、n<sup>+</sup>型半導体領域10bおよびp<sup>+</sup>型の半導体領域11bの上面の一部には、例えばチタンシリサイド層またはコバルトシリサイド層などのシリサイド層が形成されている。

【0025】このような半導体基板1上には、ゲート電極8およびサイドウォール9を覆うように、絶縁膜12が形成されている。絶縁膜12は、ゲート電極8間の狭いスペースを埋め込み可能なリフロー性の高い絶縁膜、例えばBPSG（Boron-doped Phospho Silicate Glass）膜などからなる。絶縁膜12には、コンタクトホール13が形成されている。コンタクトホール13の底部では、半導体基板1の主面の一部、例えばn<sup>+</sup>型の半導体領域10bおよびp<sup>+</sup>型の半導体領域11bの一部、やゲート電極8の一部などが露出されている。

【0026】このコンタクトホール13内には、タングステン（W）などからなるプラグ14が形成されている。プラグ14は、例えば、コンタクトホール13の内部を含む絶縁膜12上にバリア膜として例えば窒化チタン膜14aを形成した後、タングステン膜をCVD（Chemical Vapor Deposition）法によって窒化チタン膜14a上にコンタクトホール13を埋めるように形成し、絶縁膜12上の不要なタングステン膜および窒化チタン

膜14aをCMP (Chemical Mechanical Polishing) 法またはエッチバック法などによって除去することにより形成される。

【0027】プラグ14が埋め込まれた絶縁膜12上には、例えばタングステンなどからなる第1層配線15が形成されている。第1層配線15は、プラグ14を介してn型MISFET5およびp型MISFET6のソース・ドレイン用の半導体領域10bおよび11bやゲート電極8と電気的に接続されている。第1層配線15は、タングステンに限定されず種々変更可能であり、例えばアルミニウム(A1)またはアルミニウム合金などの単体膜あるいはこれらの単体膜の上下層の少なくとも一方にチタン(Ti)や窒化チタン(TiN)などのような金属膜を形成した積層金属膜としても良い。

【0028】また、絶縁膜12上には、第1層配線15を覆うように、絶縁膜16が形成されている。絶縁膜16は、例えば有機ポリマーまたは有機シリカガラスなどのような低誘電率材料(いわゆるLow-K絶縁膜、Low-K材料)からなる。なお、低誘電率な絶縁膜(Low-K絶縁膜)とは、パッセーション膜に含まれる酸化シリコン膜(たとえばTEOS(Tetraethoxysilane)酸化膜)の誘電率よりも低い誘電率を有する絶縁膜を例示できる。一般的には、TEOS酸化膜の比誘電率ε=4.1~4.2程度以下を低誘電率な絶縁膜と言う。

【0029】上記低誘電率材料としての有機ポリマーには、例えばSiLK(米The Dow Chemical Co製、比誘電率=2.7、耐熱温度=490°C以上、絶縁破壊耐圧=4.0~5.0MV/Vm)またはポリアリルエーテル(PAE)系材料のFLARE(米Honeywell Electronic Materials製、比誘電率=2.8、耐熱温度=400°C以上)がある。このPAE系材料は、基本性能が高く、機械的強度、熱的安定性および低コスト性に優れるという特徴を有している。上記低誘電率材料としての有機シリカガラス(SiOC系材料)には、例えばHSG-R7(日立化成工業製、比誘電率=2.8、耐熱温度=650°C)、Black Diamond(米Applied Materials, Inc製、比誘電率=3.0~2.4、耐熱温度=450°C)またはp-MTES(日立開発製、比誘電率=3.2)がある。この他のSiOC系材料には、例えばCORAL(米Novellus Systems, Inc製、比誘電率=2.7~2.4、耐熱温度=500°C)、Aurora2.7(日本エー・エス・エム社製、比誘電率=2.7、耐熱温度=450°C)がある。

【0030】また、絶縁膜16の低誘電率材料には、例えばFSG(SiOF系材料)、HSQ(hydrogen silsesquioxane)系材料、MSQ(methyl silsesquioxane)系材料、ポーラスHSQ系材料、ポーラスMSQ材料またはポーラス有機系材料を用いることもできる。上記HSQ系材料には、例えばOCD T-12(東京応

化工業製、比誘電率=3.4~2.9、耐熱温度=450°C)、FOX(米DowCorning Corp.製、比誘電率=2.9)またはOCL T-32(東京応化工業製、比誘電率=2.5、耐熱温度=450°C)などがある。上記MSQ系材料には、例えばOCD T-9(東京応化工業製、比誘電率=2.7、耐熱温度=600°C)、LKDT200(米JSR製、比誘電率=2.7~2.5、耐熱温度=450°C)、HOSP(米Honeywell Electronic Materials製、比誘電率=2.5、耐熱温度=550°C)、HSG-RZ25(日立化成工業製、比誘電率=2.5、耐熱温度=650°C)、OCL T-31(東京応化工業製、比誘電率=2.3、耐熱温度=500°C)またはLKDT400(米JSR製、比誘電率=2.2~2、耐熱温度=450°C)などがある。上記ポーラスHSQ系材料には、例えばXLK(米Dow Corning Corp.製、比誘電率=2.5~2)、OCL T-72(東京応化工業製、比誘電率=2.2~1.9、耐熱温度=450°C)、Nanoglass(米Honeywell Electronic Materials製、比誘電率=2.2~1.8、耐熱温度=500°C以上)またはMesoELK(米Air Products and Chemicals, Inc.製、比誘電率=2以下)がある。上記ポーラスMSQ系材料には、例えばHSG-6211X(日立化成工業製、比誘電率=2.4、耐熱温度=650°C)、ALCAP-S(旭化成工業製、比誘電率=2.3~1.8、耐熱温度=450°C)、OCL T-77(東京応化工業製、比誘電率=2.2~1.9、耐熱温度=600°C)、HSG-6210X(日立化成工業製、比誘電率=2.1、耐熱温度=650°C)またはsilica aerogel(神戸製鋼所製、比誘電率1.4~1.1)などがある。上記ポーラス有機系材料には、例えばPolyELK(米Air Products and Chemicals, Inc.製、比誘電率=2以下、耐熱温度=490°C)などがある。上記SiOC系材料、SiOF系材料は、例えばCVD法によって形成されている。例えば上記Black Diamondは、トリメチルシリランと酸素との混合ガスを用いたCVD法などによって形成される。また、上記p-MTESは、例えばメチルトリエトキシランとN<sub>2</sub>Oとの混合ガスを用いたCVD法などによって形成される。それ以外の上記低誘電率の絶縁材料は、例えば塗布法で形成されている。

【0031】このようなLow-K材料からなる絶縁膜16上には、Low-Kキャップ用の絶縁膜17が形成されている。この絶縁膜17は、例えば二酸化シリコン(SiO<sub>2</sub>)に代表される酸化シリコン(SiO<sub>x</sub>)膜からなり、例えばCMP処理時における絶縁膜16の機械的強度の確保、表面保護および耐湿性の確保などのような機能を有している。絶縁膜17の厚さは、絶縁膜16よりも相対的に薄く、例えば25nm~100nm程度である。ただし、絶縁膜17は、酸化シリコン膜に限定されるものではなく種々変更可能である。絶縁膜17と

して、例えば窒化シリコン ( $\text{Si}_x\text{N}_y$ ) 膜、炭化シリコン ( $\text{SiC}$ ) 膜または炭窒化シリコン ( $\text{SiCN}$ ) 膜を用いても良い。これら窒化シリコン膜、炭化シリコン膜または炭窒化シリコン膜は、例えばプラズマCVD法によって形成することができる。プラズマCVD法で形成された炭化シリコン膜としては、例えばBLok (AMAT社製、比誘電率=4.3) がある。その形成に際しては、例えばトリメチルシランとヘリウム (または  $\text{N}_2$ 、 $\text{NH}_3$ ) との混合ガスを用いる。このような絶縁膜16および17には、第1層配線15の一部が露出するピアまたはスルーホール18が形成されている。このスルーホール18内には、例えばタンクスチタンなどからなるプラグ19が埋め込まれている。

【0032】図3～5は、図2に続く半導体装置の製造工程中における要部断面図を示している。なお、理解を簡単にするために、図3～5では、図2の絶縁膜17より下の構造に対応する部分は図示を省略している。

【0033】まず、本実施の形態においては、図3に示されるように、プラグ19が埋め込まれた絶縁膜17上に絶縁膜20をプラズマCVD法などによって形成する。絶縁膜20は、例えばプラズマCVD法によって形成された窒化シリコン膜からなり、その厚さは、例えば25nm～50nm程度である。絶縁膜20の他の材料として、例えばプラズマCVD法で形成された炭化シリコン膜、プラズマCVD法で形成された  $\text{SiCN}$  膜またはプラズマCVD法で形成された酸窒化シリコン ( $\text{SiON}$ ) 膜の単体膜を用いても良い。これらの膜を用いた場合、窒化シリコン膜に比べて誘電率を大幅に下げることができるので、配線容量を低減することができ、半導体装置の動作速度を向上させることができる。プラズマCVD法で形成された炭化シリコン膜には、例えば上記BLok (AMAT社製) がある。また、 $\text{SiCN}$  膜の成膜に際しては、例えばヘリウム ( $\text{He}$ ) と、アンモニア ( $\text{NH}_3$ ) と、トリメチルシラン (3MS) との混合ガスが用いられる。また、プラズマCVD法で形成された酸窒化シリコン膜としては、例えばPE-TMS (Cannon製、誘電率=3.9) があり、その形成に際しては、例えばトリメトキシシラン (TMS) ガスと酸化窒素 ( $\text{N}_2\text{O}$ ) ガスとの混合ガスが用いられる。

【0034】次に、絶縁膜20上に絶縁膜21を形成する。絶縁膜21は、後述するように、還元性プラズマ処理、例えば  $\text{NH}_3$  (アンモニア) プラズマ処理または  $\text{N}_2/\text{H}_2$  プラズマ処理によってエッチングされ得る材料からなることが好ましい。このため、絶縁膜21は、例えば上記Low-K材料を用いることができる。しかしながら、絶縁膜21は、最終的には除去されるので、誘電率が低い必要はなく、Low-K材料以外の材料を用いることもできる。

【0035】次に、絶縁膜21上に絶縁膜22を形成する。絶縁膜22は、例えば、窒化シリコン膜、炭化シリ

コン膜または炭窒化シリコン膜とその上の酸化シリコン膜との2層からなる積層膜である。理解を簡単にするために、図中では、絶縁膜22は単層として示している。また、絶縁膜22を上記材料のいずれかの単体膜とすることもできる。

【0036】次に、図3に示すように、絶縁膜22上に反射防止膜23aおよびフォトレジスト膜を順に形成し、露光によりフォトレジスト膜をパターン化してフォトレジストパターン23bを形成する。そして、フォトレジストパターン23bをエッチングマスクにしたドライエッチング法により、反射防止膜23aを選択的に除去する。その後、フォトレジストパターン23bをエッチングマスクにしたドライエッチング法により、絶縁膜22を選択的に除去し、開口部を形成する。それから、絶縁膜22の開口部から露出する絶縁膜21を  $\text{NH}_3$  プラズマ処理または  $\text{N}_2/\text{H}_2$  プラズマ処理などによってエッチングしながら、フォトレジストパターン23bおよび反射防止膜23aをアッシングして除去する。そして、絶縁膜21および22の開口部から露出する絶縁膜20をドライエッチングによって除去する。これにより、図4に示されように、開口部または配線溝24が形成される。配線溝24の底面からはプラグ19の上面が露出される。なお、フォトレジストパターン23bをエッチングマスクにしたドライエッチング法により、絶縁膜20、21および22を選択的に除去し、開口部または配線溝24を形成した後、フォトレジストパターン23bおよび反射防止膜23aを除去することもできる。

【0037】次に、基板1の主面上の全面に、例えば窒化チタン ( $\text{TiN}$ ) などからなる厚さ50nm程度の薄い導電性バリア膜 (第1導体膜) 25aをスパッタリング法などを用いて形成する。導電性バリア膜25aは、例えば後述の主導体膜形成用の銅の拡散を防止する機能および主導体膜のリフロー時に銅の濡れ性を向上させる機能などを有している。このような導電性バリア膜25aの材料としては、窒化チタンに代えて、銅と殆ど反応しない窒化タンクスチタン (WN) または窒化タンタル ( $\text{TaN}$ ) などの高融点金属窒化物を用いることもできる。また、導電性バリア膜25aの材料として、高融点金属窒化物にシリコン ( $\text{Si}$ ) を添加した材料や、銅と反応し難いタンタル (Ta)、チタン (Ti)、タンクスチタン (W)、チタンタンクスチタン (TiW) 合金などの高融点金属を用いることもできる。

【0038】続いて、導電性バリア膜25a上に、例えば厚さ800～1600nm程度の相対的に厚い銅からなる主導体膜 (第2導体膜) 25bを形成する。主導体膜25bは、例えばCVD法、スパッタリング法またはめつき法などを用いて形成することができる。その後、例えば475°C程度の非酸化性雰囲気 (例えば水素雰囲気) 中において基板1に対して熱処理を施すことにより

主導体膜25bをリフローさせ、銅を配線溝24の内部に隙間なく埋め込む。

【0039】次に、主導体膜25b、導電性バリア膜25aおよび絶縁膜22をCMP法によって、絶縁膜21の上面が露出するまで研磨する。これにより、図5に示すように、相対的に薄い導電性バリア膜25aと相対的に厚い主導体膜25bとからなる第2層配線(配線)25を配線溝24内に形成する。第2層配線25は、プラグ19を介して第1層配線15と電気的に接続されている。

【0040】図6は、図5に続く半導体装置の製造工程中における図1に対応する領域の要部平面図を示し、図7は図6のA-A断面図である。なお、図7においても、図2の絶縁膜17より下の構造に対応する部分は図示を省略している。

【0041】配線溝24内に第2層配線(配線)25を形成した後、半導体基板1をプラズマCVD装置の処理室内に配置し、アンモニアガスを導入してプラズマ電源を印加することにより、基板1(特に第2層配線25が露出するCMP面)に対して、アンモニア(NH<sub>3</sub>)プラズマ処理を施す。あるいは、N<sub>2</sub>ガスおよびH<sub>2</sub>ガスを導入して、N<sub>2</sub>/H<sub>2</sub>プラズマ処理を施す。このような還元性プラズマ処理により、CMPで酸化された銅配線表面の酸化銅(CuO、CuO<sub>2</sub>)を銅(Cu)に還元し、更に、窒化銅(CuN)層が第2層配線25の表面(ごく薄い領域)に形成される。また、このプラズマ処理によって、第2層配線25間の絶縁膜21がエッチングされ除去される。これにより、図6および図7に示される構造が得られる。従って、第2層配線25を形成するために用いられた絶縁膜21は、導電性バリア膜25aおよび銅からなる主導体膜25bに悪影響を与えないような処理、例えば還元性プラズマ処理、によって簡単にエッチングされ得る材料を用いることが好ましい。酸素プラズマ処理によって絶縁膜21を除去する場合は、第2層配線25の上面の銅が酸化されてしまうので、第2層配線25の上面に導電性バリア膜を選択的に形成しておく必要がある。また、第2層配線25は、その平面形状が、図6に示すように、例えば帯状に形成されている。

【0042】なお、プラズマ処理とは、プラズマ状態にある環境に、基板表面、あるいは、基板上に絶縁膜、金属膜等のような部材が形成されている時にはその部材表面を暴露し、プラズマの化学的、機械的(ボンバードメント)作用を表面に与えて処理することをいう。また、還元性雰囲気のプラズマとは、還元作用、すなわち、酸素を引き抜く作用を有するラジカル、イオン、原子、分子等の反応種が支配的に存在するプラズマ環境をいう。

【0043】図8は、図7に続く半導体装置の製造工程中における要部断面図を示している。なお、図8においても、図2の絶縁膜17より下の構造に対応する部分は

図示を省略している。

【0044】絶縁膜21が除去された後、洗浄を行い、その後、図8に示すように、半導体基板1の正面の全面上に絶縁膜26をプラズマCVD法などによって形成する。すなわち、第2層配線25の上面および側面を覆うように、絶縁膜26を絶縁膜20上に形成する。絶縁膜26は、例えば窒化シリコン膜からなり、銅配線のバリア絶縁膜として機能する。従って、絶縁膜26は、第2層配線25の主導体膜25b中の銅が、後で形成される層間絶縁膜28中に拡散するのを抑制または防止する。絶縁膜26の他の材料として、例えば炭化シリコン(SiC)膜、炭窒化シリコン(SiCN)膜または酸窒化シリコン(SiON)膜の単体膜を用いても良い。これらの膜を用いた場合、窒化シリコン膜に比べて誘電率を大幅に下げるができるので、配線容量を低減することができ、半導体装置の動作速度を向上させることができ。プラズマCVD法で形成された炭化シリコン膜には、例えばBLOk(AMAT社製)がある。その成膜ガスは、上記した通りである。上記SiCN膜の成膜に際しては、例えばヘリウム(He)と、アンモニア(NH<sub>3</sub>)と、トリメチルシラン(3MS)との混合ガスを用いる。また、上記プラズマCVD法で形成された酸窒化シリコン膜としては、例えばPE-TMS(Canon製、誘電率=3.9)がある。上記酸窒化シリコン膜の形成に際しては、例えばトリメトキシシラン(TM-S)ガスと酸化窒素(N<sub>2</sub>O)ガスとの混合ガスを用いる。

【0045】本実施の形態においては、最近接配線間(最小隣接配線間、最小ピッチ配線間)のカバーレージがオーバーハングするような条件で、すなわち、最近接配線間では絶縁膜26がコンフォーマルには成膜されない条件で、絶縁膜26を成膜する。ここで、最近接配線とは、同層配線において隣接する配線同士の間隔(隣接配線間距離)が最小である配線に対応する。最近接配線間では、寄生容量の低減がより重要である。

【0046】隣接配線間では、絶縁膜26の堆積が進行するに従って、対向する配線側面(配線対向面)の上部25c近傍での堆積物に遮られて徐々に反応種が下方に入り込みにくくなる。このため、対向する配線側面の下部25d近傍での堆積速度は上部25c近傍での堆積速度に比べて小さくなる。従って、対向する配線側面上に堆積された絶縁膜26の厚みは、均一にはならず、上部25c近傍での厚みが下部25d近傍よりも厚くなる。このような現象は、第2層配線25の最近接配線間、すなわち第2層配線25のうちの最も近接した配線同士の間では、より顕著である。

【0047】このため、第2層配線25の最近接配線間では、絶縁膜26は第2層配線25の形状を反映したコンフォーマルな形状にはならず、図8に示されるような溝またはくぼみ部分27aが生じる。絶縁膜26のくぼ

み部分27aの上方開口部27bの寸法は、くぼみ部分27aの内部の寸法よりも小さい。すなわち、上方開口部27b近傍において、絶縁膜26のくぼみ部分27aの対向する内壁（絶縁膜26表面）は、上方開口部27bに近づくにつれて徐々に狭まっている。なお、図8においては、くぼみ部分27aの断面形状は、模式的に示されているに過ぎず、くぼみ部分27aは、略楕円形など種々の断面形状を有することができる。また、くぼみ部分27aの上方開口部27bが閉じるまで絶縁膜26の成膜を行ってもよい。また、くぼみ部分27aの上方開口部27bおよび図示しない側方（図8の紙面に垂直な方向）開口部が閉じるまで絶縁膜26の成膜を行い、図9に示されるように、第2層配線25の最近接配線間の絶縁膜26中に絶縁膜26の材料が存在しない空隙またはボイド（void）27cを形成してもよい。従って、本実施の形態では、第2層配線25の最近接配線間を絶縁膜26の材料で完全に満たすことはない。

【0048】また、絶縁膜26の成膜には、プラズマCVD法などを用いることができ、絶縁膜26の成膜条件を調整することなどにより、上述のようなくぼみ部分27aを最近接配線間に容易に形成することができる。第2層配線25を逆テープ状に形成する必要はない。このため、第2層配線25の上端部への電界集中を緩和することができる。

【0049】また、本実施の形態では、第2層配線25の上面および側面をバリア絶縁膜としての絶縁膜26で覆うので、第2層配線25において導電性バリア膜25aを省略し、銅からなる主導体膜25bだけで第2層配線25を形成することもできる。

【0050】図10～19は、図8に続く半導体装置の製造工程における要部断面図を示している。なお、図10～19においても、図2の絶縁膜17より下の構造に対応する部分は図示を省略している。

【0051】絶縁膜26を形成した後、絶縁膜28を絶縁膜26上に形成する。本実施の形態では、図10に示すように、絶縁膜28の材料が最近接配線間を完全には埋めないように、すなわちくぼみ部分27aを完全には埋めないように、絶縁膜28を形成する。絶縁膜28は、絶縁膜16と同様の材料、すなわちL<sub>ow</sub>-K材料からなる。上述のように、絶縁膜26のくぼみ部分27aの上方開口部27bの寸法は、くぼみ部分27aの内部の寸法よりも小さい。このため、絶縁膜28を例えば塗布法で形成するとき、第2層配線25の最近接配線間のくぼみ部分27aの内部には絶縁膜28の材料が、その表面張力などのために、ほとんど入り込まない。従って、絶縁膜28が形成された段階で、第2層配線25の最近接配線間には、絶縁膜26および28の材料が存在しない空隙またはボイド27が形成される。ボイド27は絶縁膜26および28の材料によって囲まれた空間であり、その内部は真空であっても、あるいは絶縁膜28

の成膜雰囲気の気体成分などが存在していても良い。一方、第2層配線25の隣接配線間距離が大きな領域では、絶縁膜28の材料が第2層配線25間を容易に埋め、ボイド27は形成されない。このため、機械的強度を維持することが可能となる。

【0052】また、絶縁膜28をCVD法で形成する場合も、第2層配線25の最近接配線間の絶縁膜26のくぼみ部分27aの内部には反応種が入り込みにくい。このため、絶縁膜26のくぼみ部分27a内には絶縁膜28の材料がほとんど堆積されず、第2層配線25の最近接配線間にボイド27が形成される。

【0053】なお、図10は、図8のように第2層配線25の最近接配線間の絶縁膜26にくぼみ27aが形成されている状態で絶縁膜28を絶縁膜26上に形成した場合について図示している。図9のように第2層配線25の最近接配線間の絶縁膜26中にボイド27cが形成されている場合は、絶縁膜26中のボイド27cに絶縁膜28の材料が侵入することなく、絶縁膜26上に絶縁膜28が形成される。これにより、第2層配線25の最近接配線間に、絶縁膜26および28の材料が存在しない空隙またはボイド27が形成される。

【0054】また、上層配線（後述する第3層配線38）と下層配線（第2層配線）との間の寄生容量を低減するために、絶縁膜28を上記L<sub>ow</sub>-K材料を用いて形成することが好ましいが、例えばCVD法で形成した酸化シリコン膜などによって絶縁膜28を形成することもできる。ただし、上層配線と下層配線との間の寄生容量を低減するために、絶縁膜28の誘電率は絶縁膜26の誘電率よりも低いことが好ましい。

【0055】次に、図11に示されるように、絶縁膜28上に絶縁膜29および30をCVD法などを用いて順に形成する。絶縁膜29は、例えば窒化シリコン膜からなり、絶縁膜30は、例えば酸化シリコン膜からなる。必要に応じてCMP処理を行い、絶縁膜30の上面を平坦化する。絶縁膜29の他の材料として、例えば炭化シリコン膜またはSiCN膜を用いても良い。また、絶縁膜30の他の材料として、例えばPE-TMS（C<sub>an</sub>o<sub>n</sub>製、誘電率=3.9）などの酸窒化シリコン（SiON）膜を用いることができ、場合によっては、絶縁膜30は形成しなくともよい。

【0056】次に、絶縁膜30上に、絶縁膜31を形成する。絶縁膜31は、絶縁膜21と同様の材料、すなわち還元性プラズマ処理によってエッチングされ得る材料からなることが好ましい。

【0057】次に、絶縁膜31上に、絶縁膜32および33を順に形成する。絶縁膜32は、絶縁膜22と同様の材料から形成することができる。絶縁膜33は、例えば窒化シリコン膜からなる。また、絶縁膜33の他の材料として、例えば炭化シリコン膜またはSiCN膜を用いても良い。

【0058】次に、絶縁膜33上に反射防止膜34aおよびフォトレジスト膜を順に形成し、露光によりフォトレジスト膜をパターン化してフォトレジストパターン34bを形成する。これにより、図11に示される構造が得られる。それから、フォトレジストパターン34bをエッチングマスクにしたドライエッチング法により、反射防止膜34aを選択的に除去する。その後、フォトレジストパターン34bをエッチングマスクにしたドライエッチング法により、絶縁膜33を選択的に除去し、開口部35を形成する。開口部35の形成工程では、絶縁膜32をエッチングストップとして機能させる。

【0059】次に、残存するフォトレジストパターン34bおよび反射防止膜34aを除去した後、開口部35の内部を含む絶縁膜33上に反射防止膜36aを形成する。そして、反射防止膜36a上にフォトレジスト膜を形成し、露光によりフォトレジスト膜をパターン化してフォトレジストパターン36bを形成する。これにより、図12に示される構造が得られる。

【0060】次に、フォトレジストパターン36bをエッチングマスクにしたドライエッチング法により、反射防止膜36aを選択的に除去する。それから、フォトレジストパターン36bをエッチングマスクにしたドライエッチング法により、絶縁膜32を選択的に除去して開口部37を形成し、開口部37の底部で絶縁膜31を露出する。そして、開口部37から露出した絶縁膜31をNH<sub>3</sub>プラズマ処理またはN<sub>2</sub>/H<sub>2</sub>プラズマ処理などによってエッチングしながら、フォトレジストパターン36bおよび反射防止膜36aをアッシングして除去する。これにより、図13に示される構造が得られる。フォトレジストパターン36bおよび反射防止膜36aの除去は、絶縁膜31のエッチング工程の後に行うこともできる。

【0061】次に、図14に示されるように、開口部37の底部で露出する絶縁膜30とその下層の絶縁膜29と、開口部35から露出する絶縁膜32とを、ドライエッチング法などによって除去し、開口部37の底部で絶縁膜28を露出しつつ開口部35から絶縁膜31を露出する。このとき、エッチングマスクとして機能する絶縁膜33は、上部がエッチングされて薄くなるが、絶縁膜33の形成時に比較的厚く形成しておけば、絶縁膜33が完全に除去されることはない。

【0062】次に、図15に示されるように、開口部37の底部で露出する絶縁膜28と、開口部35から露出する絶縁膜31とを、ドライエッチング法などによって除去する。このとき、絶縁膜33がエッチングマスクとして機能し、かつ絶縁膜26および絶縁膜30がエッチングストップとして機能する。

【0063】次に、図16に示されるように、開口部37の底部で露出する絶縁膜26をドライエッチング法などによって除去し、開口部37の底部で第2層配線25

を露出させる。このとき、露出した絶縁膜30および絶縁膜33も除去される。

【0064】次に、基板1の主面上の全面に、導電性バリア膜25aと同様の材料、例えば窒化チタンからなる導電性バリア膜38aをスパッタリング法などで形成する。それから、導電性バリア膜38a上に、開口部37および開口部35を埋めるように、銅からなる主導体膜38bを、主導体膜25bと同様にして形成する。

【0065】次に、主導体膜38b、導電性バリア膜38aおよび絶縁膜32をCMP法によって、絶縁膜31の上面が露出するまで研磨する。これにより、図17に示されるように、開口部35および37からなる配線溝内に第3層配線(配線)38を形成する。第3層配線38は、相対的に薄い導電性バリア膜38aと、相対的に厚い主導体膜38bとを有しており、第2層配線25と電気的に接続されている。

【0066】次に、第2層配線25間の絶縁膜21を除去するプラズマ処理と同様の処理を施し、第3層配線38間の絶縁膜31を除去する。それから、第3層配線38のバリア絶縁膜としての絶縁膜39を、絶縁膜26と同様にして形成する。これにより、図18に示されるように、くぼみ部分27aと同様のくぼみ部分40aが、第3層配線38の最近接配線間に生じる。

【0067】次に、図19に示されるように、絶縁膜39上に、絶縁膜28と同様のLw-K材料からなる絶縁膜41を形成する。絶縁膜28の形成工程と同様、第3層配線38の最近接配線間の絶縁膜39のくぼみ部分40aの内部には絶縁膜41の材料が、その表面張力などのために入り込めない。このため、絶縁膜41を形成した段階で、第3層配線38の最近接配線間には空隙またはボイド40が形成される。一方、第3層配線38の隣接配線間距離が大きな領域では、絶縁膜41の材料が第2層配線38間に入り込み、ボイドが形成されないので、機械的強度を維持することが可能となる。

【0068】次に、絶縁膜41上に絶縁膜42をCVD法などを用いて形成する。絶縁膜42は、例えば窒化シリコン膜からなる。必要に応じてCMP処理を行い、絶縁膜41の上面を平坦化する。絶縁膜41の他の材料として、例えば炭化シリコン膜、SiCN膜または酸窒化シリコン膜を用いることもできる。これより、図19に示される構造が得られる。更に必要に応じて、同様の製造工程を繰り返し、第4層配線以降の上層配線を形成することもできる。また、第1層配線15を、第2層配線25と同様にして形成した銅配線とし、第2層配線25を第3層配線38と同様にして形成した銅配線とすることもできる。

【0069】本実施の形態によれば、同層配線間にCMP面(CMPで研磨された面)がない。すなわち、第2層配線25および第3層配線38を形成するためのCMP工程で研磨された絶縁膜21および31は除去されて

おり、第2層配線25および第3層配線38を覆うようにバリア絶縁膜26および39が形成されている。このため、第2層配線25および第3層配線38において、同層配線の上面同士がCMP面を介して連結されることはない。これにより、TDDDB寿命を向上し、配線間の絶縁破壊耐性を向上させることができる。また、半導体装置の信頼性を高めることができる。

【0070】また、最も容量低減が必要な同層配線における最近接配線間に膜材料が存在しないボイド27および40を形成するので、配線間容量を低減することができる。配線のバリア絶縁膜26および39に比較的誘電率の高い材料を用いたとしても、配線間容量の低減が可能である。

【0071】また、同層配線の隣接配線間距離が大きな領域では、配線間にボイドを形成せずL<sub>o</sub>w-K材料を成膜する。このため、全体の機械的強度を維持することが可能となる。

【0072】また、本実施の形態では、最近接配線間でなくとも、隣接配線間隔が比較的小さく、その間の寄生容量を低減したい配線間にはボイド27または40を形成してもよい。配線間距離がどの程度の場合までボイドを形成するかは、絶縁膜26または39の成膜条件や絶縁膜28または41の成膜条件などを調整することによって、制御することができる。これにより、配線パターン密度が疎の領域では、隣接配線間にボイドを形成して配線間容量を低減し、配線パターンが密な領域では、配線間をL<sub>o</sub>w-K材料で埋めて、機械的強度を確保することができる。

【0073】本発明者は、実験およびシミュレーションにより、本実施の形態の配線構造の容量低減効果について調べた。比較例として、配線を埋め込むための絶縁膜および層間絶縁膜をL<sub>o</sub>w-K材料で構成しかつ一般的なダマシン技術で形成された銅配線構造を用いた。

【0074】その結果、本実施の形態の配線構造は、上記比較例に対して、配線間容量を20～30%程度低減することができた。また、上層配線と下層配線の間の容量はほとんど変わらず、同層の配線間容量のみが減少した。このため、配線のクロストークの影響を低減できる。また、実効誘電率 $\epsilon_r$ （上記比較例の銅配線構造では $\epsilon_r$ は3.1程度）を2.3～2.7程度へ大幅に低減することができた。従って、同世代のL<sub>o</sub>w-K材料を層間絶縁膜に用いて、1世代以上先の低容量配線構造を実現できる。

【0075】（実施の形態2）図20～25は、本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。図10までの製造工程は上記実施の形態1と同様であるので、ここではその説明は省略し、図10に続く製造工程について説明する。

【0076】図10に示される構造が形成された後、図20に示されるように、絶縁膜28上に、例えば窒化シリコン膜からなる絶縁膜29と例えば酸化シリコン膜からなる絶縁膜30とをCVD法などを用いて順に形成する。必要に応じてCMP処理を行い、絶縁膜30の上面を平坦化する。場合によっては、絶縁膜30は形成しなくともよい。

【0077】次に、絶縁膜33上に反射防止膜50aおよびフォトレジスト膜を順に形成し、露光によりフォトレジスト膜をパターン化してフォトレジストパターン50bを形成する。

【0078】次に、図21に示されるように、フォトレジストパターン50bをエッチングマスクにしたドライエッチング法により、反射防止膜50aを選択的に除去した後、フォトレジストパターン50bをエッチングマスクにしたドライエッチング法により、絶縁膜29および30を選択的に除去し、開口部51を形成する。開口部51の形成工程では、絶縁膜28をエッチングストップとして機能させる。その後、残存するフォトレジストパターン50bおよび反射防止膜50aを除去する。

【0079】次に、開口部51内を含む絶縁膜30上に、絶縁膜31を形成する。それから、絶縁膜31上に、絶縁膜32を形成する。上記実施の形態1とは異なり、本実施の形態では、絶縁膜33は形成しなくともよい。

【0080】次に、絶縁膜32上に反射防止膜52aを形成する。そして、反射防止膜52a上にフォトレジスト膜を形成し、露光によりフォトレジスト膜をパターン化してフォトレジストパターン52bを形成する。これにより、図22に示される構造が得られる。

【0081】次に、フォトレジストパターン52bをエッチングマスクにしたドライエッチング法により、反射防止膜52aを選択的に除去する。それから、フォトレジストパターン52bをエッチングマスクにしたドライエッチング法により、絶縁膜32を選択的に除去して開口部53を形成し、開口部53の底部で絶縁膜31を露出する。その後、NH<sub>3</sub>プラズマ処理またはN<sub>2</sub>/H<sub>2</sub>プラズマ処理などによって、開口部53から露出した絶縁膜31と開口部51から露出する絶縁膜28とをエッチングしながら、フォトレジストパターン52bおよび反射防止膜52aをアッシングして除去する。このとき、かつ絶縁膜26および絶縁膜30がエッチングストップとして機能する。これにより、図23に示される構造が得られる。フォトレジストパターン52bおよび反射防止膜52aの除去は、絶縁膜28および31のエッチング工程の後に行うことでもできる。

【0082】次に、図24に示されるように、開口部51の底部で露出する絶縁膜26をドライエッチング法などによって除去し、開口部51の底部で第2層配線25を露出させる。このとき、露出した絶縁膜30および絶縁膜32も除去され得る。

【0083】次に、基板1の主面上の全面に、例えば窒

化チタンからなる導電性バリア膜38aをスパッタリング法などで形成する。それから、導電性バリア膜38a上に、開口部51および開口部53を埋めるように、銅からなる主導体膜38bを形成する。

【0084】次に、主導体膜38bおよび導電性バリア膜38aをCMP法によって、絶縁膜31の上面が露出するまで研磨する。これにより、図25に示されるように、開口部51および53からなる配線溝内に第3層配線(配線)38を形成する。第3層配線38は、相対的に薄い導電性バリア膜38aと、相対的に厚い主導体膜38bとを有しており、第2層配線25と電気的に接続されている。

【0085】これ以降の製造工程は、上記実施の形態1の図17以降の製造工程と同様であるので、その説明を省略する。

【0086】(実施の形態3) 図26は、本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。本実施の形態の半導体装置は、上記実施の形態1の第2層配線25および第3層配線36ように隣接配線間にボイドを形成しつつ隣接配線間をCMP面で接続しない配線層と、一般的な埋込配線技術を用いて形成された配線層とが組み合わされた多層配線構造を有している。図26において、絶縁膜42の形成工程までは、上記実施の形態1の図19までの製造工程とほぼ同様であるので、その説明は省略し、ここではそれ以降の製造工程について説明する。

【0087】本実施の形態では、絶縁膜42上に酸化シリコンなどからなる絶縁膜60が形成され、第3層配線38と同様にして第4層配線61が形成される。それから、絶縁膜26と同様にして、バリア絶縁膜として機能する絶縁膜62が形成され、その上に絶縁膜28と同様にして絶縁膜64を形成する。第4層配線61においても、第2層配線25および第3層配線36と同様、最近接配線間にボイド63が形成される。

【0088】第5層以降の配線層は、一般的な埋込配線技術、例えば一般的なデュアルダマシン技術を用いて形成する。すなわち、絶縁膜64上に、窒化シリコン、炭化シリコン、炭窒化シリコンまたは酸窒化シリコン膜(例えばPE-TMS(Canon製))からなる絶縁膜65、酸化シリコンなどからなる絶縁膜66、Low-K材料などからなる絶縁膜67、絶縁膜65と同様の材料、例えば窒化シリコンなどからなる絶縁膜68および酸化シリコンなどからなる絶縁膜69を形成する。そして、デュアルダマシン技術を用いて、絶縁膜62、64～69に形成された配線溝に埋め込まれた第5層配線70を形成する。それから、第5層配線70の上面を含む絶縁膜69上に、窒化シリコン、炭化シリコン、炭窒化シリコンまたは酸窒化シリコン膜などからなる絶縁膜71を、バリア絶縁膜として形成する。その後、絶縁膜71上に、Low-K材料などからなる絶縁膜72、絶

縁膜65と同様の材料、例えば窒化シリコンなどからなる絶縁膜73、酸化シリコンなどからなる絶縁膜74、Low-K材料などからなる絶縁膜75、絶縁膜65と同様の材料、例えば窒化シリコンなどからなる絶縁膜76および酸化シリコンなどからなる絶縁膜77を形成する。そして、デュアルダマシン技術を用いて、絶縁膜71～77に形成された配線溝に埋め込まれた第6層配線78を形成する。それから、第6層配線78の上面を含む絶縁膜77上に、絶縁膜71と同様の材料、例えば窒化シリコンなどからなる絶縁膜79を、バリア絶縁膜として形成する。

【0089】なお、絶縁膜28、41、64、67、72および75としてCVD法を用いて形成した膜、例えば酸化シリコン膜、FSG(SiOF系材料)膜、SiOC膜またはポーラスシリコン(Polus-Si)系材料膜を用いることもでき、その場合、絶縁膜30、60、66、68、69、74、76および77の形成を省略することもできる。

【0090】多層配線構造において、隣接配線間隔が比較的小さい、すなわち配線ピッチが比較的小さい配線層では、配線間容量が増大しつつTDDB寿命が低減しやすい。本実施の形態によれば、そのような配線間容量が増大しつつTDDB寿命が低減しやすい配線層において、同層配線間にCMP面をなくしてTDDB寿命を向上させ、かつ同層配線の最近接配線間にボイドを形成して配線間容量を低減することができる。

【0091】(実施の形態4) 図27、29～31は、本発明の他の実施の形態である半導体装置の配線パターンを示す概念的な平面図である。図28は図27のB-B断面図である。配線パターンの構造および形成工程は上記実施の形態1の第2層配線25または第3層配線36とほぼ同様であるので、ここではその説明は省略する。

【0092】本実施の形態においては、本体配線81の周囲に、ダミー配線82を設ける。本体配線81は、半導体装置の電気回路として必要不可欠な配線パターンである。本体配線81は、例えば上記第2層配線25または第3層配線38などに対応し、MISFETのゲートやソース・ドレイン領域などに電気的に接続されている。ダミー配線82は、本体配線81と同時に形成されかつ同構造の導体パターンであるが、半導体装置の電気回路としては必要とされない、すなわち配線としては機能しない導体パターンである。ダミー配線82は、例えば、MISFETのゲートやソース・ドレイン領域などに電気的に接続されることなく、接地電位とされている。本実施の形態においては、隣接する本体配線81間にボイド(図示せず)を形成するとともに、本体配線81とダミー配線82の間にもボイド(図示せず)を形成する。ボイドの形成工程は、上記実施の形態1と同様である。ダミー配線82を設けたことにより、本体配線8

1の両側にボイドを形成することができる。このため、本体配線81の寄生容量をより低減することが可能になる。図27～30は、本体配線81とダミー配線82の形成パターンの例を示しており、必要に応じて、図27～30およびそれ以外の種々の配線パターンを形成することができる。

【0093】例えば、図27および図28に示されるように、孤立した一本の本体配線81を囲むようにダミー配線82を設けることができる。

【0094】また、図29に示されるように、互いに平行に配列する複数の本体配線81の全体を囲むようにダミー配線82を設けることができる。

【0095】また、図30に示されるように、互いに平行に配列する複数の本体配線81全体を囲むようにダミー配線82を設けるとともに、複数の本体配線81間にダミー配線82を設けることができる。

【0096】また、ダミー配線82パターンは連続して形成しなくともよく、例えば図31に示されるように、不連続なダミー配線82を設けることもできる。

【0097】(実施の形態5) 図32は、本発明の他の実施の形態である半導体装置の配線パターンを示す概念的な平面図である。図32の配線パターン85は、例えば上記第2層配線25または第3層配線36に対応し、その構造および形成工程は上記実施の形態1と同様であるので、ここではその説明は省略する。

【0098】本実施の形態では、配線パターン85において、スルーホール形成領域86の近傍で、配線幅広部またはリザーバ部87を設けている。これにより、スルーホールが配線パターンからずれる、目外れを防止する。図32では、その上に形成すべきスルーホールに対応する位置86を点線で示してある。スルーホール形成のためのフォトリソグラフィ工程において、フォトマスクの位置ずれなどにより、実際に形成されたスルーホールの位置が所望の位置(図32の点線の位置)からずれる場合がある。このような場合でも、配線幅が広いリザーバ部87が設けられているので、スルーホールが配線パターン85から外れることを防止できる。このため、配線85に隣接して形成されるボイド(図示せず)が、スルーホールの形成工程で露出することをより的確に防止できる。

【0099】(実施の形態6) 図33は、本発明の他の実施の形態である半導体装置の製造工程中の要部断面図であり、図19の工程段階に対応する。

【0100】本実施の形態では、上記実施の形態1とは異なり、銅配線のバリア絶縁膜として機能する絶縁膜26および39を形成しない。本実施の形態では、銅配線である第2層配線25および第3層配線38の上部に、銅の拡散を防止する導電性バリア膜として、例えばタンゲステンなどからなる金属キャップ膜91および92を形成する。従って、第2層配線25は、導電性バリア膜

25a、主導体膜25bおよび金属キャップ膜91から構成され、第3層配線38は、導電性バリア膜38a、主導体膜38bおよび金属キャップ膜92から構成される。また、絶縁膜26および39を形成しないので、Low-K材料からなる絶縁膜28および39が第2層配線25および第3層配線36の同層隣接配線間を完全に埋め、最近接配線間においてもボイド27および40は形成されない。

【0101】金属キャップ膜91は、選択タンゲステンCVD法などによって形成することができる。例えば、図5に示すように配線溝に埋め込まれた第2層配線25を形成した後、六フッ化タンゲステン(WF<sub>6</sub>)および水素(H<sub>2</sub>)ガスを用いたCVD法により、絶縁膜21から露出した第2層配線25の上面にタンゲステン膜を選択的に堆積することにより、金属キャップ膜91を形成する。その後、絶縁膜21を除去し、バリア絶縁膜26を形成することなく、第2層配線25を覆いかつ隣接配線間を埋めるように、絶縁膜28を形成する。金属キャップ膜92も金属キャップ膜91と同様にして形成することができる。金属キャップ膜91および92の他の材料としては、バリア膜として機能する他の高融点金属または高融点金属窒化物、例えば窒化チタン(TiN)または窒化タンタル(TaN)などを用いることができる。他の構造および製造工程は、上記実施の形態1とほぼ同様であるので、ここでは詳しい説明を省略する。

【0102】本実施の形態によれば、銅配線としての第2層配線25および第3層配線38において、銅からなる主導体膜25bおよび38bの底面および側面を窒化チタンなどからなる導電性バリア膜25aおよび38aで覆い、かつ主導体膜25bおよび38bの上面をタンゲステンなどからなる金属キャップ膜91および92で覆う。このため、第2層配線25および第3層配線38に対してバリア絶縁膜を形成する必要がない。同層配線間にCMP面がないのでTDDDB寿命を向上し、配線間の絶縁破壊耐性を向上させることができる。これにより、半導体装置の信頼性を高めることができる。また、同層隣接配線間をLow-K材料膜だけで埋めることができるので、配線間容量を低減することができる。

【0103】(実施の形態7) 図34は、本発明の他の実施の形態である半導体装置の製造工程中の要部断面図であり、図19の工程段階に対応する。

【0104】本実施の形態では、上記実施の形態1とは異なり、銅配線のバリア絶縁膜として機能する絶縁膜26および39は、第2層配線25および第3層配線38に対してコンフォーマルに形成されている。すなわち、絶縁膜26および39は、第2層配線25および第3層配線38の形状を反映した形状を有し、それぞれいずれの領域においてもほぼ均一な厚みを有している。このため、絶縁膜26のくぼみ部分27dの間口部の寸法は、

くぼみ部分27dの内部の寸法とほぼ同じである。従つて、絶縁膜28は、絶縁膜28を構成するLow-K材料が絶縁膜26のくぼみ部分27dを埋めるように形成される。すなわち、第2層配線25の最近接配線間においても、ボイドは形成されず、Low-K材料が埋め込まれる。第3層配線38についても同様である。他の構造および製造工程は、上記実施の形態1と同様であるので、ここでは詳しい説明を省略する。

【0105】本実施の形態によれば、同層配線間にCMP面がないのでTDDB寿命を向上し、配線間の絶縁破壊耐性を向上させることができる。これにより、半導体装置の信頼性を高めることができる。また、同層隣接配線間をバリア絶縁膜とLow-K材料膜だけで埋めるので、配線間容量を低減することができる。

【0106】(実施の形態8) 図35は、本発明の他の実施の形態である半導体装置の製造工程中の要部断面図であり、図19の工程段階に対応する。

【0107】本実施の形態では、上記実施の形態6と同様に、銅配線のバリア絶縁膜として機能する絶縁膜26および39は形成せず、第2層配線25および第3層配線38の上部に、銅の拡散を防止する導電性バリア膜として、例えばタンクステンなどからなる金属キャップ膜91および92を形成する。従って、第2層配線25は、導電性バリア膜25a、主導体膜25bおよび金属キャップ膜91から構成され、第3層配線38は、導電性バリア膜38a、主導体膜38bおよび金属キャップ膜92から構成される。

【0108】しかしながら、本実施の形態では、上記実施の形態6とは異なり、第2層配線25および第3層配線36の同層隣接配線間、例えば最近接配線間に、ボイド93および94が形成される。ボイド93は、例えば次のようにして形成することができる。第2層配線25を覆うように絶縁膜20上に絶縁膜28を形成する際に、上記実施の形態1の絶縁膜26の形成工程のように、最近接配線間のカバーレージがオーバーハングするような条件で絶縁膜28を成膜する。絶縁膜28は所定の膜厚になるまで成膜される。これにより、最近接配線間の絶縁膜28中にボイド93が形成される。ボイド94も、ボイド93と同様にして形成することができる。従って、本実施の形態では、絶縁膜28および41は、CVD法で形成され得るLow-K材料からなることが好ましく、例えば、CVD法で形成されたFSG(SiOF系材料)膜、SiOC膜またはポーラスシリコン(Polus-Si)系材料膜を用いることができる。また、CVD法を用いて形成した酸化シリコン膜を用いることも可能である。他の構造および製造工程は、上記実施の形態1とほぼ同様であるので、ここでは詳しい説明を省略する。

【0109】本実施の形態によれば、銅配線としての第2層配線25および第3層配線38において、銅からな

る主導体膜25bおよび38bの底面および側面を窒化チタンなどからなる導電性バリア膜25aおよび38aで覆い、かつ主導体膜25bおよび38bの上面をタンクステンなどからなる金属キャップ膜91および92で覆う。このため、第2層配線25および第3層配線38に対してバリア絶縁膜を形成する必要がない。同層配線間にCMP面がないのでTDDB寿命を向上し、配線間の絶縁破壊耐性を向上させることができる。これにより、半導体装置の信頼性を高めることができる。また、最も容量低減が必要な同層配線における最近接配線間にボイドを形成し、ボイド以外の領域はLow-K材料膜だけで埋めることもできる。これにより、配線間容量を低減することができる。

【0110】(実施の形態9) 図36は、本発明の他の実施の形態である半導体装置の製造工程中の要部断面図であり、図19の工程段階に対応する。

【0111】本実施の形態では、上記実施の形態6および8と同様に、銅配線のバリア絶縁膜として機能する絶縁膜26および39は形成せず、第2層配線25および第3層配線38の上部に、銅の拡散を防止する導電性バリア膜として、例えばタンクステンなどからなる金属キャップ膜91および92を形成する。従って、第2層配線25は、導電性バリア膜25a、主導体膜25bおよび金属キャップ膜91から構成され、第3層配線38は、導電性バリア膜38a、主導体膜38bおよび金属キャップ膜92から構成される。

【0112】しかしながら、本実施の形態では、上記実施の形態6とは異なり、第2層配線25および第3層配線36の同層隣接配線間、例えば最近接配線間に、ボイド96および99が形成される。ボイド96は、例えば次のようにして形成することができる。

【0113】第2層配線25を覆うように絶縁膜20上に絶縁膜95をCVD法などによって形成する。絶縁膜95は、CVD法で形成され得るLow-K材料からなることが好ましく、例えば、CVD法で形成されたFSG(SiOF系材料)膜、SiOC膜またはポーラスシリコン(Polus-Si)系材料膜を用いることができる。CVD法を用いて形成した酸化シリコン膜を用いることも可能である。この際、上記実施の形態1の絶縁膜26の形成工程のように、最近接配線間のカバーレージがオーバーハングするような条件で絶縁膜95を成膜する。これにより、第2層配線25の最近接配線間の絶縁膜95に、上記実施の形態1のくぼみ部分27aと同様のくぼみ部分が形成される。それから、絶縁膜95上に絶縁膜97を、塗布法などによって形成する。絶縁膜97は、塗布法によって形成され得るLow-K材料からなることが好ましいが、塗布法以外の方法によって形成されるLow-K材料を用いることもできる。上記実施の形態1の絶縁膜28の形成工程と同様、第2層配線25の最近接配線間の絶縁膜95のくぼみ部分に絶縁膜9

7の材料が、その表面張力などのためにほとんど入り込まない。このため、本実施の形態においては、上記実施の形態1と同様、第2層配線25の最近接配線間に、絶縁膜95および97によって囲まれたボイド96が形成される。

【0114】ボイド99も、ボイド96と同様にして形成することができる。すなわち、絶縁膜95と同様の材料からなる絶縁膜98と、絶縁膜97と同様の材料からなる絶縁膜100とが順に形成されて、第3層配線36の最近接配線間に、絶縁膜98および100によって囲まれたボイド99が形成される。他の構造および製造工程は、上記実施の形態1とほぼ同様であるので、ここでは詳しい説明を省略する。

【0115】本実施の形態によれば、銅配線としての第2層配線25および第3層配線38において、銅からなる主導体膜25bおよび38bの底面および側面を窒化チタンなどからなる導電性バリア膜25aおよび38aで覆い、かつ主導体膜25bおよび38bの上面をタンゲステンなどからなる金属キャップ膜91および92で覆う。このため、第2層配線25および第3層配線38に対してバリア絶縁膜を形成する必要がない。同層配線間にCMP面がないのでTDDDB寿命を向上し、配線間の絶縁破壊耐性を向上させることができる。これにより、半導体装置の信頼性を高めることができる。また、最も容量低減が必要な同層配線における最近接配線間にボイドを形成し、ボイド以外の領域はLOW-K材料膜だけで埋めることもできる。これにより、配線間容量を低減することが可能である。

【0116】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0117】前記実施の形態では、CMISFETを有する半導体装置について説明したが、本発明は、これに限定されるものではなく、銅を主成分とする主導体膜を含む配線を有する種々の半導体装置に適用することができる。

#### 【0118】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0119】銅を主導体層とする配線間の絶縁破壊耐性を向上することができる。

【0120】銅を主導体層とする配線間の容量を低減することができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置の製造工程中の要部平面図である。

【図2】図1のA-A線の断面図である。

【図3】図2に続く半導体装置の製造工程中における要部断面図である。

【図4】図3に続く半導体装置の製造工程中における要部断面図である。

【図5】図4に続く半導体装置の製造工程中における要部断面図である。

【図6】図5に続く半導体装置の製造工程中における要部平面図である。

【図7】図6のA-A線の断面図である。

【図8】図7に続く半導体装置の製造工程中における要部断面図である。

【図9】図7に続く半導体装置の製造工程中における要部断面図である。

【図10】図8に続く半導体装置の製造工程中における要部断面図である。

【図11】図10に続く半導体装置の製造工程中における要部断面図である。

【図12】図11に続く半導体装置の製造工程中における要部断面図である。

【図13】図12に続く半導体装置の製造工程中における要部断面図である。

【図14】図13に続く半導体装置の製造工程中における要部断面図である。

【図15】図14に続く半導体装置の製造工程中における要部断面図である。

【図16】図15に続く半導体装置の製造工程中における要部断面図である。

【図17】図16に続く半導体装置の製造工程中における要部断面図である。

【図18】図17に続く半導体装置の製造工程中における要部断面図である。

【図19】図18に続く半導体装置の製造工程中における要部断面図である。

【図20】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図21】図20に続く半導体装置の製造工程中における要部断面図である。

【図22】図21に続く半導体装置の製造工程中における要部断面図である。

【図23】図22に続く半導体装置の製造工程中における要部断面図である。

【図24】図23に続く半導体装置の製造工程中における要部断面図である。

【図25】図24に続く半導体装置の製造工程中における要部断面図である。

【図26】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図27】本発明の他の実施の形態である半導体装置の配線パターンを示す平面図である。

【図28】図27のB-B線の断面図である。

【図29】本発明の他の実施の形態である半導体装置の配線パターンを示す平面図である。

【図30】本発明の他の実施の形態である半導体装置の配線パターンを示す平面図である。

【図31】本発明の他の実施の形態である半導体装置の配線パターンを示す平面図である。

【図32】本発明の他の実施の形態である半導体装置の配線パターンを示す平面図である。

【図33】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図34】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図35】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図36】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離領域
- 3 p型ウエル
- 4 n型ウエル
- 5 nチャネル型MISFET
- 6 pチャネル型MISFET
- 7 ゲート絶縁膜
- 8 ゲート電極
- 9 サイドウォール
- 10 a n-型半導体領域
- 10 b n+型半導体領域
- 11 a p-型半導体領域
- 11 b p+型半導体領域
- 12 絶縁膜
- 13 コンタクトホール
- 14 プラグ
- 14 a 窒化チタン膜
- 15 第1層配線
- 16, 17 絶縁膜
- 18 スルーホール
- 19 プラグ
- 20~22 絶縁膜
- 23 a 反射防止膜
- 23 b フォトレジストパターン
- 24 配線溝
- 25 第2層配線
- 25 a 導電性バリア膜
- 25 b 主導体膜
- 26 絶縁膜

27 ポイド

27 a くぼみ部分

27 b 開口部

27 c ポイド

28~33 絶縁膜

34 a 反射防止膜

34 b フォトレジストパターン

35 開口部

36 a 反射防止膜

36 b フォトレジストパターン

37 開口部

38 第3層配線

38 a 導電性バリア膜

38 b 主導体膜

39 絶縁膜

40 ポイド

40 a くぼみ部分

41, 42 絶縁膜

50 a 反射防止膜

50 b フォトレジストパターン

51 開口部

52 a 反射防止膜

52 b フォトレジストパターン

53 開口部

60 絶縁膜

61 第4層配線

62 絶縁膜

63 ポイド

64~69 絶縁膜

70 第5層配線

71~77 絶縁膜

78 第6層配線

79 絶縁膜

81 本体配線

82 ダミー配線

85 配線パターン

86 スルーホール形成位置

87 リザーバ部

91, 92 金属キャップ膜

93, 94 ポイド

95 絶縁膜

96 ポイド

97 絶縁膜

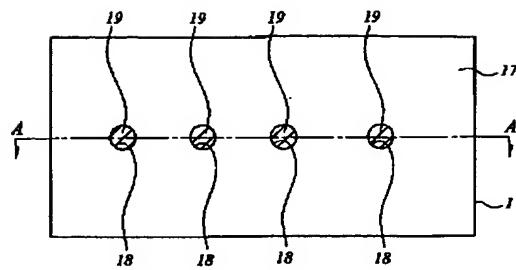
98 絶縁膜

99 ポイド

100 絶縁膜

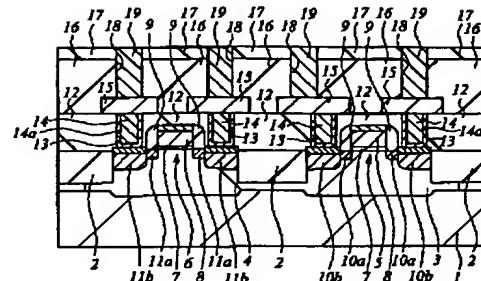
[図 1]

31



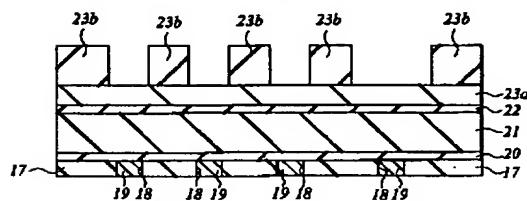
【図2】

图 2



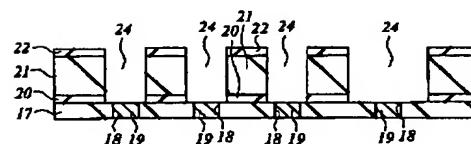
[図3]

3



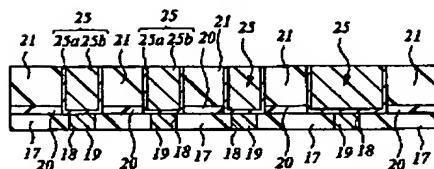
[图4]

图 4



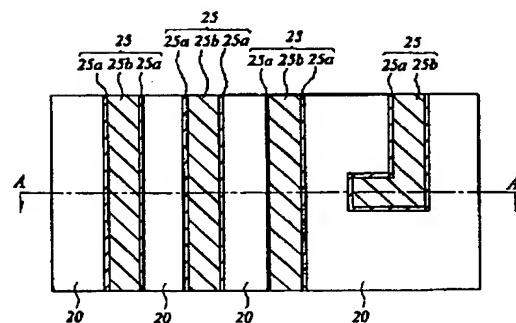
[図5]

5



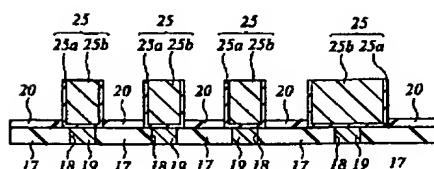
〔図6〕

6



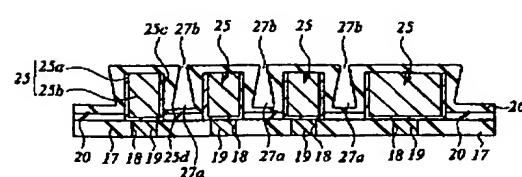
【図7】

7



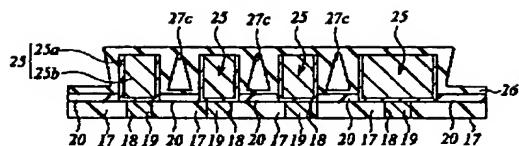
[図 8]

8



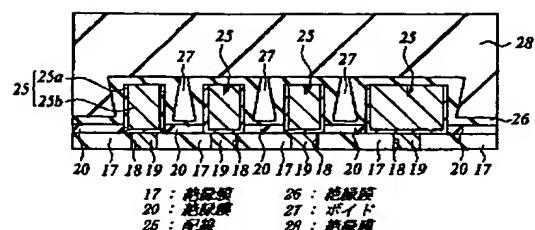
【図9】

図9



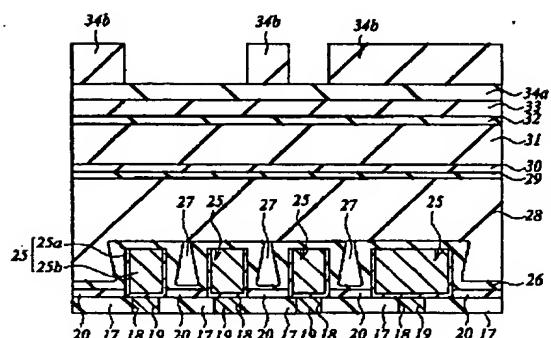
【図10】

図10



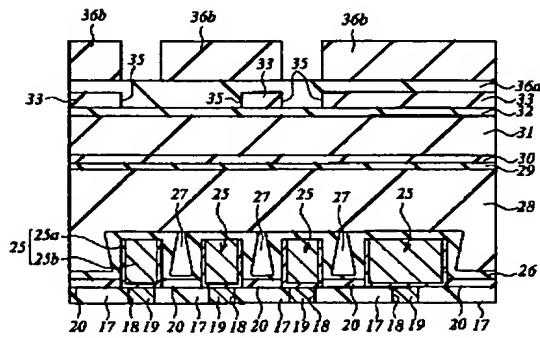
【図11】

図11



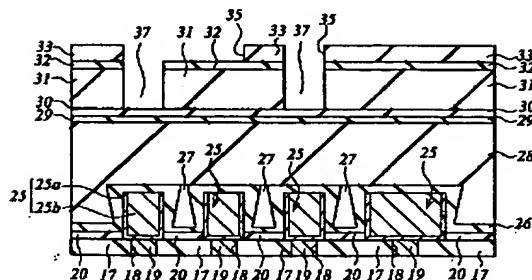
【図12】

図12



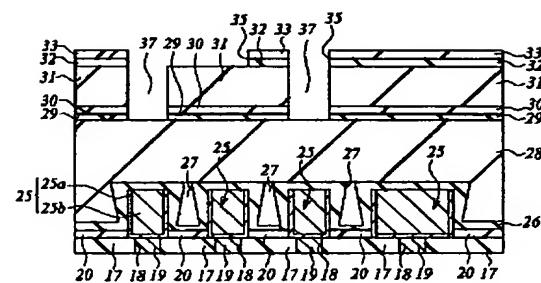
【図13】

図13



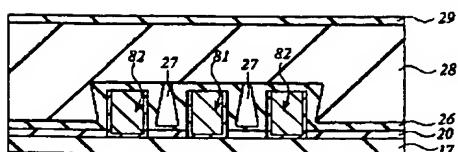
【図14】

図14



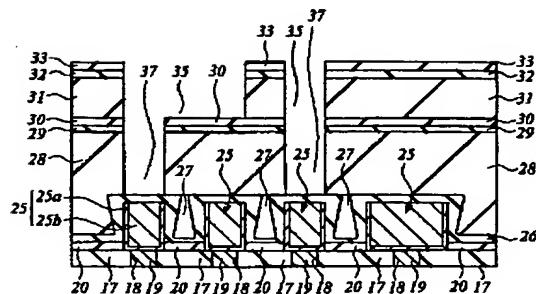
【図28】

図28



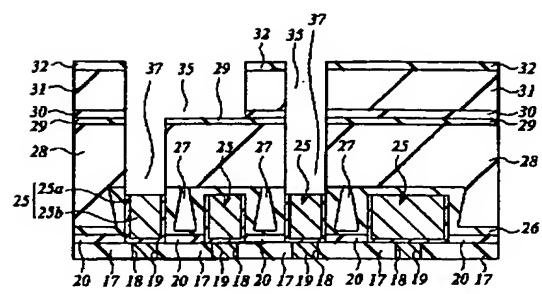
【図15】

図15



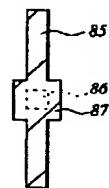
【図16】

図16



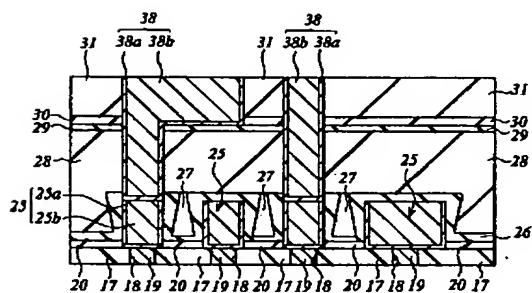
【図32】

図32



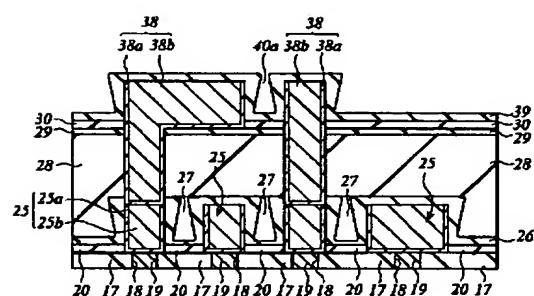
【図17】

図17



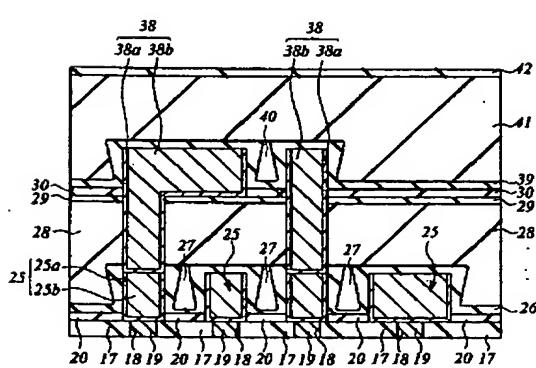
【図18】

図18



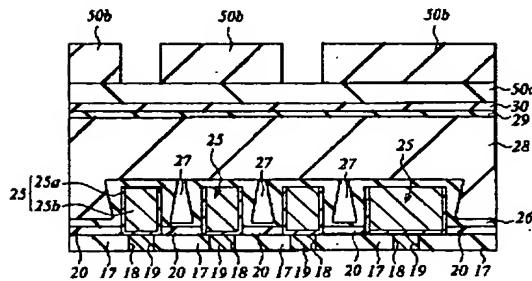
【図19】

図19



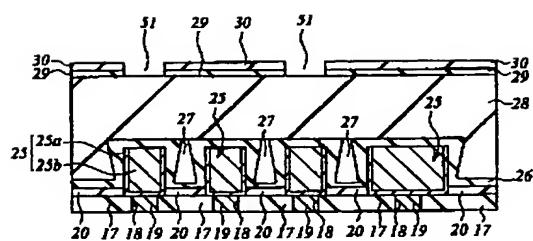
【図20】

図20



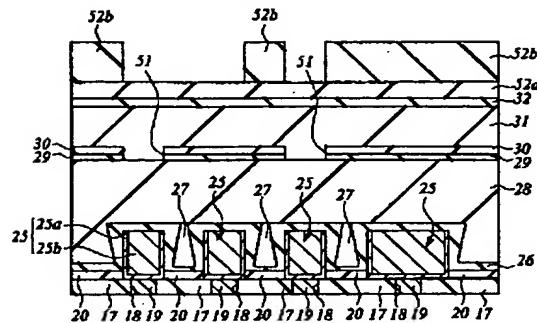
【図21】

図21



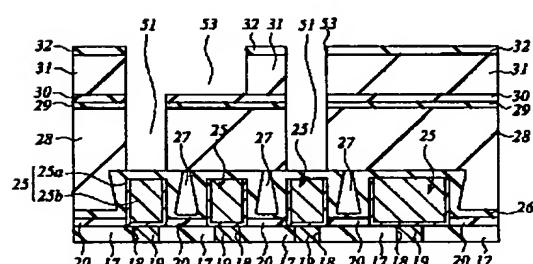
【図22】

図22



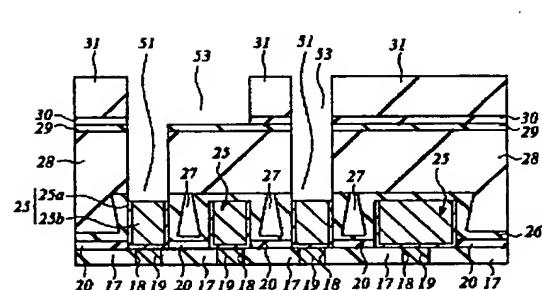
【図23】

図23



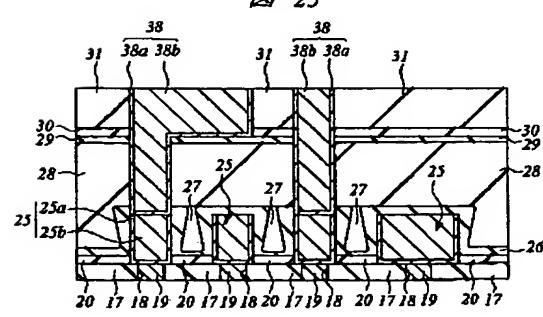
【図24】

図24



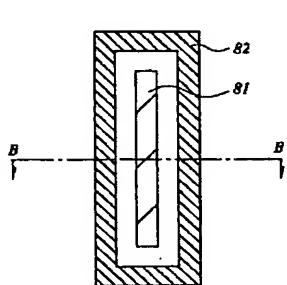
【図25】

図25



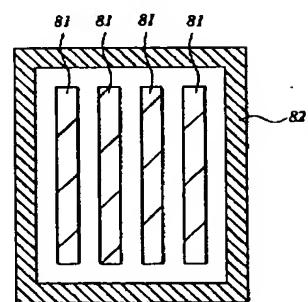
【図27】

図27



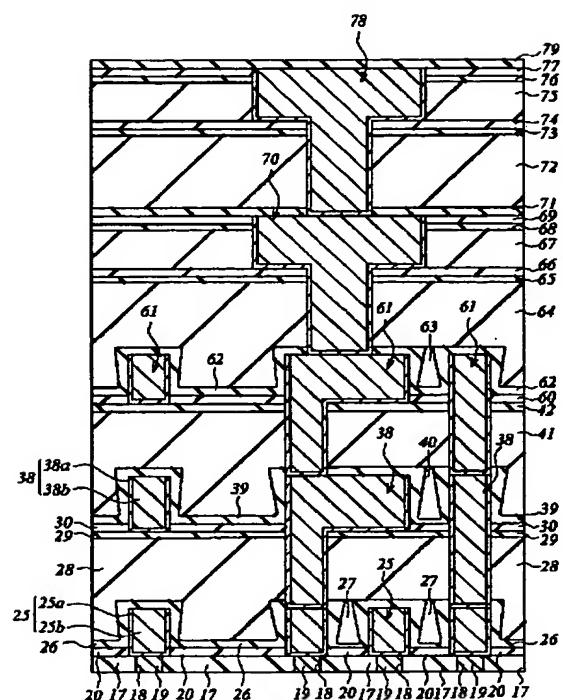
【図29】

図29



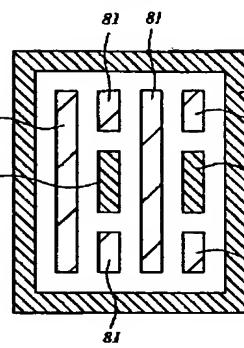
【図26】

図26



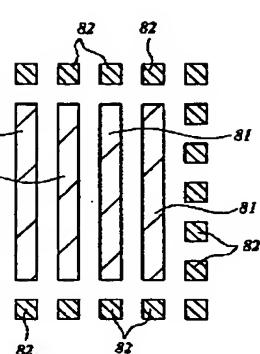
【図30】

図30



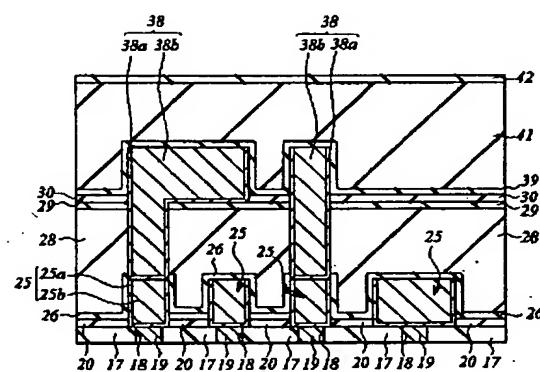
【図31】

図31



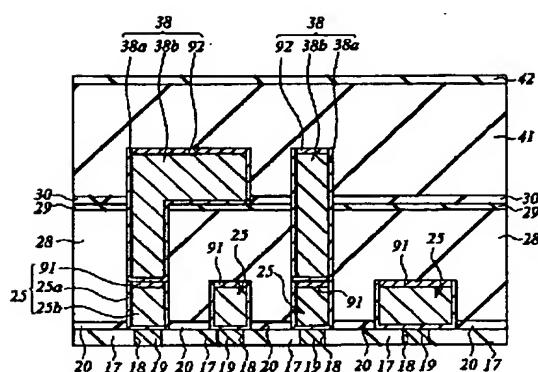
【図34】

図34



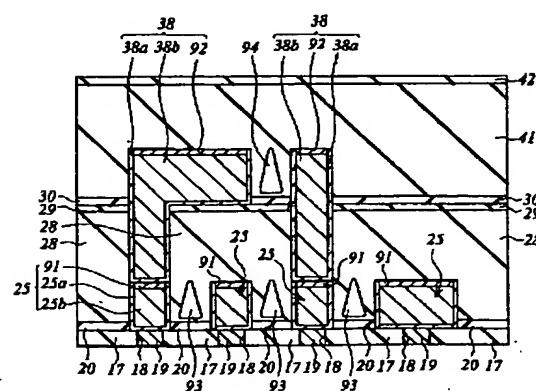
【図33】

図33



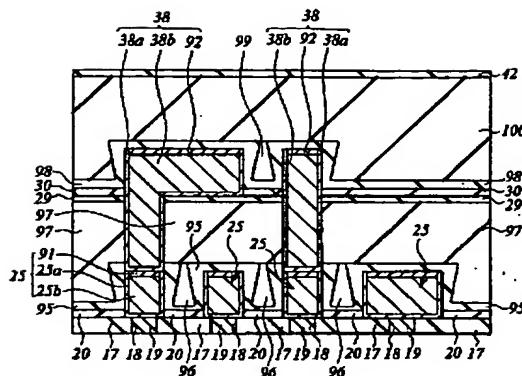
【図35】

図35



【図36】

図36



フロントページの続き

Fターム(参考) 5F033 HH04 HH08 HH11 HH18 HH19  
 HH21 HH23 HH25 HH27 HH32  
 HH33 HH34 JJ19 JJ33 KK01  
 KK11 KK18 KK19 KK21 KK23  
 KK32 KK33 KK34 MM01 MM02  
 MM05 MM08 MM12 MM13 NN06  
 NN07 PP03 PP06 PP07 PP15  
 PP27 PP28 PP35 QQ00 QQ02  
 QQ09 QQ10 QQ11 QQ25 QQ28  
 QQ37 QQ48 QQ49 QQ73 QQ75  
 QQ90 RR01 RR04 RR05 RR08  
 RR11 RR15 RR21 RR23 RR25  
 RR29 RR30 SS11 SS15 SS27  
 TT03 TT04 TT08 UU01 VV01  
 XX00 XX24 XX28